

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-278950

(43)Date of publication of application : 22.10.1996

(51)Int.Cl.

G06F 15/16

(21)Application number : 07-078803

(71)Applicant : HITACHI LTD

(22)Date of filing : 04.04.1995

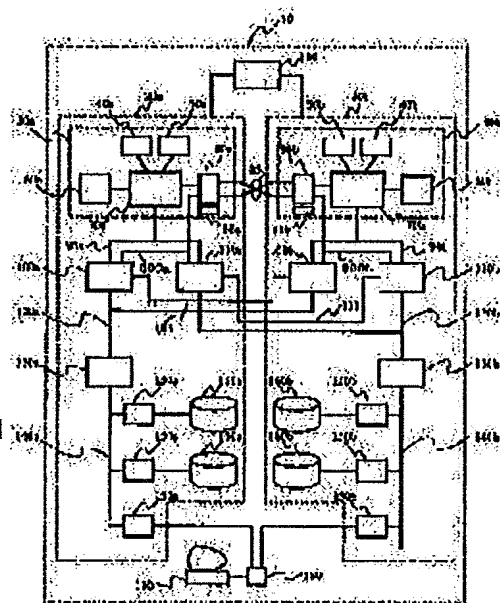
(72)Inventor : MORITA YUICHIRO
YAMAGUCHI SHINICHIRO
NAKAMIGAWA TETSUAKI
MIYAZAKI NAOTO
TAKATANI SOICHI

(54) MULTIPLEXED COMPUTER SYSTEM AND FAULT RESTORING METHOD

(57)Abstract:

PURPOSE: To eliminate the need for system resetting for synchronization and to perform a speedy resynchronization by transmitting an answer signal generated by accessing a specific address to plural arithmetic processors at the same time and resynchronizing arithmetic processors which have recovered from a fault.

CONSTITUTION: For PIO access, the access acknowledgement wait state that an arithmetic processor is in until an access acknowledgement signal as a signal responding to an access request is received is utilized. The access acknowledgement signal for the PIO access is asserted to arithmetic processors 30a and 30b at the same time, and then the processors 30a and 30b are made to perform the PIO access at the same time, thereby synchronizing the processors 30a and 30b. Thus, the need for conventional resetting operation for synchronization is eliminated and both the processors can be synchronized by stopping ordinary operation in a short time.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-278950

(43)公開日 平成8年(1996)10月22日

(51)Int.Cl.⁹

G 0 6 F 15/16

識別記号

4 7 0

庁内整理番号

F I

G 0 6 F 15/16

技術表示箇所

4 7 0 J

4 7 0 R

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21)出願番号 特願平7-78803

(22)出願日 平成7年(1995)4月4日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 守田 雄一郎

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72)発明者 山口 伸一郎

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72)発明者 中三川 哲明

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74)代理人 弁理士 富田 和子

最終頁に続く

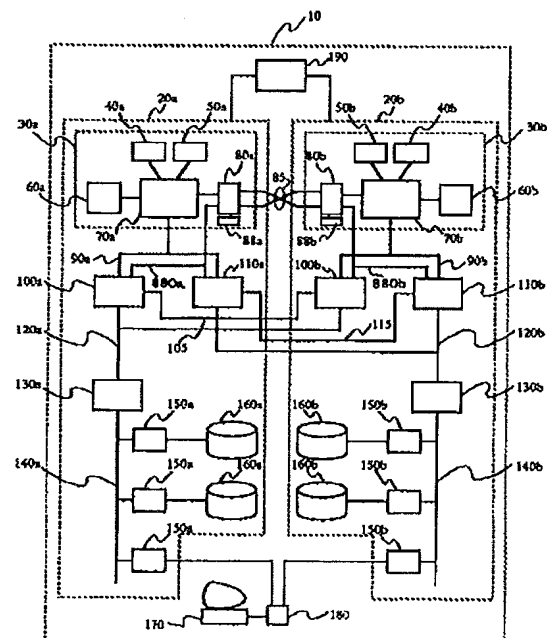
(54)【発明の名称】 多重化コンピュータシステムおよび障害回復方法

(57)【要約】

【目的】障害復旧した装置を、短時間内に再同期化させる手段を提供すること。

【構成】同一演算処理を同期して行なう各演算処理装置は、他装置の故障を検出する手段と、故障検出時に所定アドレスへのアクセス要求を行なう正常系アクセス要求手段と、自装置が故障から回復した後に、前記アドレスへのアクセス要求を行なう異常系アクセス要求手段と、処理装置からのアクセス許可に対して、前記アドレスに対しアクセスを行なうアクセス手段を備える。処理装置は、正常動作する装置の正常系アクセス要求手段からのアクセス要求時刻と、故障から回復した装置の異常系アクセス要求手段からのアクセス要求時刻との時間差が、予め定めた時間差以内である場合、正常動作装置および回復装置にアクセス許可を与える手段と、正常動作装置および回復装置が備えるアクセス手段からのアクセスに基づき両装置の動作を再同期する再同期手段とを備える。

図 1



【特許請求の範囲】

【請求項1】同一演算処理を同期して行なう複数の演算処理装置と、各演算処理装置に接続され再同期の処理を行なう同期処理装置を具備し、

各演算処理装置は、他演算処理装置の故障を検出する故障検出手段と、演算処理を行なうためのアクセス要求を行なうとともに、前記該故障検出手段によって、他演算処理装置の故障を検出した場合、前記同期処理装置内の予め定められたアドレスに対するアクセス要求を行なう正常系アクセス要求手段と、自演算処理装置が故障から回復した後に、前記アドレスに対するアクセス要求を行なう異常系アクセス要求手段と、前記処理装置からのアクセス許可に対して、前記アドレスに対するアクセスを行なうアクセス手段とを備え、

前記同期処理装置は、正常動作する演算処理装置が備える正常系アクセス要求手段からのアクセス要求時刻と、故障から回復した演算処理装置が備える異常系アクセス要求手段からのアクセス要求時刻との時間差が、予め定めた時間差以内である場合、正常動作する演算処理装置および故障から回復した演算処理装置にアクセス要求に対するアクセス許可を与えるアクセス許可手段と、アクセス許可の信号を、同期化のための基準信号として、両演算処理装置の動作を再同期する再同期手段とを備えることを特徴とする多重化コンピュータシステム。

【請求項2】同一演算処理を同期して行なう演算処理装置のいずれかが故障した場合、故障から回復した演算処理装置を、他の演算処理装置の演算処理動作に再同期させる障害回復方法であって、

正常動作する、いずれかの演算処理装置が、他演算処理装置の故障を検出した場合、予め定められたアドレスに対し、アクセス要求を行ない、また、故障から回復した演算処理装置も、前記アドレスにアクセス要求を行ない、

前記正常動作する演算処理装置からのアクセス要求時刻と、故障から回復した演算処理装置からのアクセス要求時刻との時間差が、予め定めた時間差以内である場合、両演算処理装置に、両演算処理装置に接続される処理装置からアクセス許可を与え、該アクセス許可の信号を、同期化のための基準信号として、両演算処理装置の動作を再同期することを特徴とする障害回復方法。

【請求項3】同一演算処理を同期して行なう複数の演算処理装置と、各演算処理装置に接続され再同期の処理を行なう同期処理装置を具備し、

各演算処理装置は、他演算処理装置の故障を検出する故障検出手段と、演算処理を行なうためのアクセス要求を行なうとともに、前記該故障検出手段によって、他演算処理装置の故障を検出した場合、前記同期処理装置内の予め定められたアドレスに対するアクセス要求を行なう正常系アクセス要求手段と、自演算処理装置が故障から回復した後に、前記アドレスに対するアクセス要求を行なう

異常系アクセス要求手段と、前記処理装置からのアクセス許可に対して、前記アドレスに対するアクセスを行なうアクセス手段とを備え、

前記同期処理装置は、正常動作する演算処理装置が備える正常系アクセス要求手段からのアクセス要求時刻と、故障から回復した演算処理装置が備える異常系アクセス要求手段からのアクセス要求時刻との時間差が、予め定めた時間差以内である場合、正常動作する演算処理装置および故障から回復した演算処理装置にアクセス要求に対するアクセス許可を与えるアクセス許可手段と、正常動作する演算処理装置および故障から回復した演算処理装置が備えるアクセス手段からのアクセスを、同期化のための基準信号として、両演算処理装置の動作を再同期する再同期手段とを備えることを特徴とする多重化コンピュータシステム。

【請求項4】同一演算処理を同期して行なう演算処理装置のいずれかが故障した場合、故障から回復した演算処理装置を、他の演算処理装置の演算処理動作に再同期させる障害回復方法であって、

正常動作する、いずれかの演算処理装置が、他演算処理装置の故障を検出した場合、予め定められた所定アドレスに対し、アクセス要求を行ない、また、故障から回復した演算処理装置も、前記アドレスにアクセス要求を行ない、

前記正常動作する演算処理装置からのアクセス要求時刻と、故障から回復した演算処理装置からのアクセス要求時刻との時間差が、予め定めた時間差以内である場合、両演算処理装置に、両演算処理装置に接続される処理装置からアクセス許可を与え、アクセス許可を受け取った両演算処理装置からのアクセスを、同期化のための基準信号として、両演算処理装置の動作を再同期することを特徴とする障害回復方法。

【請求項5】請求項1または3において、前記各演算処理手段に、他演算処理装置から同期化を行なうことを要求されていることを示すフラグである同期化要求フラグを設定する同期化要求フラグ設定部と、自演算処理装置が前記他演算処理装置に同期化を行なうことを要求することを示すフラグである同期化待ちフラグを設定する同期化待ちフラグ設定部と、同期化要求フラグ設定部および同期化待ちフラグ設定部の双方にフラグが設定されている場合、前記正常系アクセス要求手段および異常系アクセス要求手段のいずれかを起動する再同期起動部を設けたことを特徴とする多重化コンピュータシステム。

【請求項6】請求項5において、前記同期処理装置に、前記同期化要求フラグ設定部および前記同期化待ちフラグ設定部の双方にフラグが設定されている場合であって、全演算処理装置に対してアクセス許可を与える際に、全演算処理装置に同期化が成功した旨を報告する手段を設けたことを特徴とする多重化コンピュータシステム。

3

【請求項 7】請求項 1 または 3 において、各演算処理装置に、予め定めた所定時間内にアクセス許可応答を受け取れない場合、前記正常系アクセス要求手段を再度起動するリトライ手段を設けたことを特徴とする多重化コンピュータシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、多重化コンピュータシステムに関し、特に、多重化されたコンピュータシステムのいずれかに障害が発生した場合に、発生した障害からの回復を迅速に行う多重化コンピュータシステムおよび障害回復方法に関する。

【0002】

【従来の技術】複数の演算処理装置が同一の演算を同期して実行する、従来の多重化コンピュータシステムでは、各演算処理装置が、システムによって与えられるクロックに同期した状態で多重化動作を行なう構成になっているため、起動時あるいは動作中における同期化が必要な場合に、全ての演算処理装置を一斉に同期させる手段を備えることが必要であった。

【0003】なお、動作中における同期化は、障害が発生したために、ある演算処理装置が動作不能となったり、ある演算処理装置の定期点検を行なったりした後に、再度多重化動作を行なわせるための再同期を行なうために必要となる。

【0004】そして、例えば 2 重化動作している全演算処理装置を同期させる 1 つの方式として、以下の方式が一般的に採用されている。

【0005】すなわち、2 重化動作しているコンピュータシステムにおいて、動作している演算処理装置（正常系）が備えるメモリ装置の記憶内容と、動作している演算処理装置が備えるメモリ装置によって受け取られた全てのデータとを、動作していない演算処理装置（異常系）が備えるメモリ装置へ転送し、正常系のメモリ装置の記憶内容が完全に転送された時点で、両演算処理装置を同一状態となるように一時的にリセット処理し、両演算処理装置内において、オペレーティングシステムを再起動することによって両系の同期化を行う。これに関連する技術を開示した特許公報例として、特開平 3-182958 号公報等が挙げられる。

【0006】

【発明が解決しようとする課題】ところで、多重化され耐障害性機能を有するコンピュータシステムは、たとえそのダウン時間（故障発生から、再度多重化動作を行なうようになるまでの時間）がいかに短くとも極めて弊害が大きく、プラント運営コスト等のコストを増大させてしまうようなシステム、例えば、航空交通管制システムや核処理プラントの制御等の各種の分野に使用される。したがって、ダウン時間が長期化すればするほど、システムダウンによってもたらされる実際の弊害や該弊害が

4

他のシステムの運営に与える潜在的な弊害は増大してしまうことになる。

【0007】しかしながら、上述した従来方式によれば、同期化を行うために全演算処理装置をリセットし、さらに、起動に時間を要するオペレーティングシステムを再起動する処理を行なう必要があるために、システム全体が長時間動作不能となる事態が発生してしまい、弊害の増大を招いてしまうという問題があった。

【0008】そこで、本発明の目的は、複数の演算処理装置で構成された多重化コンピュータシステムにおいて、障害から復旧した演算処理装置を再同期させる際に、極力短時間内の動作停止で同期化させることを可能とする多重化コンピュータシステムおよび障害回復方法を提供することにある。

【0009】

【課題を解決するための手段】前記目的を達成するために、以下のようなシステムが考えられる。

【0010】すなわち、同一演算処理を同期して行なう複数の演算処理装置と、各演算処理装置に接続され再同期の処理を行なう同期処理装置を具備し、各演算処理装置は、他演算処理装置の故障を検出する故障検出手段と、演算処理を行なうためのアクセス要求を行なうとともに、前記該故障検出手段によって、他演算処理装置の故障を検出した場合、前記処理装置内の予め定められたアドレスに対するアクセス要求を行なう正常系アクセス要求手段と、自演算処理装置が故障から回復した後に、前記アドレスに対するアクセス要求を行なう異常系アクセス要求手段と、前記処理装置からのアクセス許可に対して、前記アドレスに対するアクセスを行なうアクセス手段とを備える。

【0011】そして、同期処理装置の少なくとも 1 つは、正常動作する演算処理装置が備える正常系アクセス要求手段からのアクセス要求時刻と、故障から回復した演算処理装置が備える異常系アクセス要求手段からのアクセス要求時刻との時間差が、予め定めた時間差以内である場合、正常動作する演算処理装置および故障から回復した演算処理装置にアクセス要求に対するアクセス許可を与えるアクセス許可手段と、アクセス許可の信号を、同期化のための基準信号として、両演算処理装置の動作を再同期する再同期手段とを備える多重化コンピュータシステムである。

【0012】また、以下のような態様も考えられる。

【0013】すなわち、同一演算処理を同期して行なう複数の演算処理装置と、各演算処理装置に接続され再同期の処理を行なう同期処理装置を具備し、各演算処理装置は、他演算処理装置の故障を検出する故障検出手段と、演算処理を行なうためのアクセス要求を行なうとともに、前記該故障検出手段によって、他演算処理装置の故障を検出した場合、前記処理装置内の予め定められたアドレスに対するアクセス要求を行なう正常系アクセス

5

要求手段と、自演算処理装置が故障から回復した後に、前記アドレスに対するアクセス要求を行なう異常系アクセス要求手段と、前記処理装置からのアクセス許可に対して、前記アドレスに対するアクセスを行なうアクセス手段とを備える。

【0014】そして、同期処理装置は、正常動作する演算処理装置が備える正常系アクセス要求手段からのアクセス要求時刻と、故障から回復した演算処理装置が備える異常系アクセス要求手段からのアクセス要求時刻との時間差が、予め定めた時間差以内である場合、正常動作する演算処理装置および故障から回復した演算処理装置にアクセス要求に対するアクセス許可を与えるアクセス許可手段と、正常動作する演算処理装置および故障から回復した演算処理装置が備えるアクセス手段からのアクセスを、同期化のための基準信号として、両演算処理装置の動作を再同期する再同期手段とを備えるシステムである。

【0015】また、以下のような障害回復方法も考えられる。

【0016】すなわち、同一演算処理を同期して行なう演算処理装置のいずれかが故障した場合、故障から回復した演算処理装置を、他の演算処理装置の演算処理動作に再同期させる障害回復方法であって、正常動作する、いずれかの演算処理装置が、他演算処理装置の故障を検出した場合、予め定められたアドレスに対し、アクセス要求を行ない、また、故障から回復した演算処理装置も、前記アドレスにアクセス要求を行ない、前記正常動作する演算処理装置からのアクセス要求時刻と、故障から回復した演算処理装置からのアクセス要求時刻との時間差が、予め定めた時間差以内である場合、両演算処理装置に、両演算処理装置に接続される処理装置からアクセス許可を与え、該アクセス許可の信号を、同期化のための基準信号として、両演算処理装置の動作を再同期する障害回復方法である。

【0017】また、障害回復方法として、以下のような態様も考えられる。

【0018】すなわち、同一演算処理を同期して行なう演算処理装置のいずれかが故障した場合、故障から回復した演算処理装置を、他の演算処理装置の演算処理動作に再同期させる障害回復方法であって、正常動作する、いずれかの演算処理装置が、他演算処理装置の故障を検出した場合、予め定められたアドレスに対し、アクセス要求を行ない、また、故障から回復した演算処理装置も、前記アドレスにアクセス要求を行なう。

【0019】そして、前記正常動作する演算処理装置からのアクセス要求時刻と、故障から回復した演算処理装置からのアクセス要求時刻との時間差が、予め定めた時間差以内である場合、両演算処理装置が、両演算処理装置に接続される処理装置からアクセス許可を受け取り、アクセス許可を受け取った両演算処理装置からのアクセ

6

スを同期化のための基準信号として、両演算処理装置の動作を再同期する障害回復方法である。

【0020】

【作用】複数の演算処理装置は、同一演算処理を同期して行なっており、各演算処理装置に接続された同期処理装置は、再同期の処理を行なう。

【0021】演算処理装置が備える故障検出手段は、他演算処理装置の故障を検出する。

【0022】なお、正常系アクセス要求手段は、故障検出手段によって、他演算処理装置の故障を検出した場合、処理装置内の予め定められたアドレスに対するアクセス要求を、例えば、所定時間間隔で行なう。

【0023】また、異常系アクセス要求手段は、自演算処理装置が故障から回復した後に、前記アドレスに対するアクセス要求を行なう。

【0024】さらに、演算処理装置が備えるアクセス手段は、処理装置からのアクセス許可に対して、前記アドレスに対するアクセスを行なう。

【0025】そして、前記同期処理装置は、アクセス許可手段によって、正常動作する演算処理装置が備える正常系アクセス要求手段からのアクセス要求時刻と、故障から回復した演算処理装置が備える異常系アクセス要求手段からのアクセス要求時刻との時間差が、予め定めた時間差以内であると判断した場合、正常動作する演算処理装置および故障から回復した演算処理装置にアクセス要求に対するアクセス許可を与える。

【0026】そしてさらに、再同期手段は、アクセス許可の信号を同期化のための基準信号とし、両演算処理装置の動作を再同期する。すなわち、両演算処理装置の動作タイミングを調整して、2重系動作を行なわせる。

【0027】また、アクセス許可を与えた後に、以下のように動作する、他の作用も考えられる。

【0028】すなわち、再同期手段は、正常動作する演算処理装置および故障から回復した演算処理装置が備えるアクセス手段からのアクセスを同期化のための基準信号とし、両演算処理装置の動作を再同期する。

【0029】

【実施例】以下、本発明にかかる実施例を図面を参照して説明する。

【0030】図1に、本発明にかかる多重化コンピュータシステム10の構成図を示す。

【0031】この多重化コンピュータシステム10は、クロック装置190とA系サブシステム20aとB系サブシステム20bとを有して構成され、さらに、両系サブシステムと端末装置170とは、端末接続装置180を介して接続されている。

【0032】また、A系サブシステム20aは、予め定められた所定の演算処理を行なう演算処理装置30aと、複数の多重化バス制御装置100a、110aと複数のI/O装置160aとを少なくとも備えた構成を有

し、同様に、B系サブシステム20bは、予め定められた所定の演算処理を行なう演算処理装置30bと、複数の多重化バス制御装置100b、110bと、複数のI/O装置160bとを少なくとも備えた構成を有している。

【0033】両系の対応（同一の番号が付された）する構成要素は、同一の機能を有しており、両系は、同一の構成となっている。

【0034】クロック装置190は、同一周波数、かつ、同一位相を有するクロックを、A系サブシステム20aおよびB系サブシステム20bに供給する装置である。

【0035】A系サブシステム20aとB系サブシステム20bは、上述したように同一の構成であって、クロック装置190によって供給されるクロックの周期にしたがって、同一動作、即ち、同期動作を行っている。つまり、A系サブシステム20aとB系サブシステム20bとは、同一の演算処理を行なう2重系動作を行なっている。

【0036】端末装置170は、本装置をオペレータが操作することによって、例えば、多重化コンピュータシステム10の保守操作を行なえる。

【0037】ユーザーが、端末装置170を操作することによって、多重化コンピュータシステム10に、予め定められた処理を行なうように要求すると、多重化コンピュータシステム10は、要求された処理をA系サブシステム20aとB系サブシステム20bの双方で同時に実行する。このため、一方のサブシステムに故障が発生して処理が停止したとしても、他方のサブシステムにより、処理が継続して実行され、要求した処理が行なわれることになる。

【0038】さらに詳細な構成を述べると、A系サブシステム20aは、さらに、複数のI/O装置160aを接続するI/Oバス140aと、I/O装置160aや端末接続装置180をI/Oバス140aに接続するI/Oインターフェース150aと、複数のI/O装置160aによるDMAアクセス（Direct Memory Access）を調停する機能を有するI/Oバス制御装置130aと、I/Oバス制御装置130aとA系の多重化バス制御装置100aとB系の多重化バス制御装置100bとを接続する多重化バス120aと、I/Oバス制御装置130bとA系の多重化バス制御装置110aとB系の多重化バス制御装置110bとを接続する多重化バス120bと、I/O装置160aのDMAアクセスと演算処理装置30aのPIOアクセスとを調停する多重化バス制御装置100aと、I/O装置160bのDMAアクセスと演算処理装置30aのPIOアクセスとを調停する多重化バス制御装置110aと、演算処理装置30aと多重化バス制御装置100aと多重化バス制御装置110aを接続するシステムバス90aとを備えてい

る。

【0039】なお、図を見れば分かるように、B系サブシステム20bもA系サブシステム20aと同一の構成であるので、A系サブシステム20a側のみについて、その構成を説明する。

【0040】また、信号線105は、多重化バス制御装置100aと多重化バス制御装置100bとの間で、多重化バス制御装置に与える制御信号を互いに送受信するための信号線であり、信号線115は、多重化バス制御装置110aと多重化バス制御装置110bとの間で、多重化バス制御装置に与える制御信号を互いに送受信するための信号線である。

【0041】また、演算処理装置30aは、供給されるクロックの同期にしたがって同一処理を行う2台のプロセッサ40aと50aと、メモリ装置60aと、系間インターフェース80aと、所定のプログラムが内蔵されているROM88aとを有して構成され、さらに、コントロールユニット70aには、システムバス90aが、また、系間インターフェース80aには、系間バス85が接続されている。

【0042】コントロールユニット70aは、2台のプロセッサ40aとプロセッサ4050aとから出力される出力データを比較して、それらのデータが不一致ならばプロセッサ40aまたはプロセッサ50aにおいて、エラーが発生したと判断するエラー検出機能、メモリ装置60aのエラーをECCコードにより検出する機能、および、システムバス90aの故障（エラー）をパリティチェックにより検出する機能を備えている。演算処理装置30bは、演算処理装置30aと同一の構成要素を有しているため、演算処理装置30aと同様な機能を有する。なお、本発明においては、エラー検出機能は本質的なものではないので、その詳細な説明は省略することにする。

【0043】また、演算処理装置30aと演算処理装置30bとが備える系間インターフェース80aと80bは、サブシステムの動作状態等の情報を互いに交換するためのインターフェースとして機能する。系間インターフェース80aと80bとの間の情報の伝送は、系間バス85を介して行なわれる。

【0044】信号線880aは、系間インターフェース80aがサブシステムの動作状態を、多重化バス制御装置100aおよび多重化バス制御装置110aに通知するための信号線であり、信号線880bは、系間インターフェース80bがサブシステムの動作状態を、多重化バス制御装置100bおよび多重化バス制御装置110bに通知するための信号線であり、両信号線は、同一の役目を行なう。

【0045】系間インターフェース80a、80bには、それぞれ、立ち上げ処理プログラムおよび障害回復処理プログラムとを少なくとも、予め内蔵するROM8

8 a、8 8 bが備えられている。前記立ち上げ処理プログラムは、サブシステムを起動するためのプログラムであり、サブシステムの起動時に実行される。また、前記障害回復処理プログラムは、例えば、一方のサブシステムに故障が発生したために動作が停止した場合、サブシステムの故障部分を、システムの保守者であるユーザ等が交換した後、処理を継続している他方のサブシステムと再び同期動作を行わせる（これを「同期化」あるいは「再同期」と称する）ために実行させるプログラムである。なお、前記立ち上げ処理プログラム、障害回復処理プログラムの実行開始は、例えば、端末装置 1 7 0 の操作により指示すれば行なわれるように、システム構成を行なっておけば良い。

【0046】次に、図 2 を参照して、特に本発明の主要部である系間インターフェース 8 0 a および系間インターフェース 8 0 b、さらには、その付随構成要素構成の構成および動作を説明する。

【0047】系間インターフェース 8 0 a は、A 系演算処理装置 3 0 a および B 系演算処理装置 3 0 b の双方が同期動作中であることを示すフラグである同期フラグ 8 1 a と、B 系の演算処理装置 3 0 b が A 系の演算処理装置 3 0 a に対して同期化を要求していることを示すフラグである同期化要求フラグ 8 2 a と、A 系の演算処理装置 3 0 a が B 系の演算処理装置 3 0 b に対して同期化を要求していることを示すフラグである同期待ちフラグ 8 3 a と、A 系の演算処理装置 3 0 a が故障したことを示すフラグである故障フラグ 8 4 a と、A 系の演算処理装置 3 0 a が障害からの復旧中であることを示すフラグである復旧フラグ 8 9 a と、各種の論理演算素子とを有して構成される。

【0048】信号線 7 3 a は、コントロールユニット 7 0 a が、A 系の演算処理装置 3 0 a で発生したエラーを検出したことを系間インターフェース 8 0 a に通知するエラー検出信号を伝送する信号線であり、信号線 8 6 a は、A 系の演算処理装置 3 0 a および B 系の演算処理装置 3 0 b の双方が同期化を試みる状態であることを、系間インターフェース 8 0 a が多重化バス制御装置 1 0 0 a と 1 1 0 a に通知する同期化モード信号を送信する信号線であり、さらに、信号線 1 0 8 a は、多重化バス制御装置 1 0 0 a または 1 1 0 a が、系間インターフェース 8 0 a に、同期化の成功を通知する同期化成功信号を伝送する信号線である。

【0049】系間インターフェース 8 0 b も同様な構成である。

【0050】故障フラグ 8 4 a は、信号線 7 3 a 上のエラー検出信号 7 3 a がアサートされるとセットされ、プロセッサ 4 0 a、5 0 a によるレジスタライト動作によってリセットされる。

【0051】同様に、故障フラグ 8 4 b は、信号線 7 3 b 上のエラー検出信号がアサートされるとセットされ、

プロセッサ 4 0 b、5 0 b によるレジスタライト動作によって、リセットされる。

【0052】同期フラグ 8 1 a は、同期化要求フラグ 8 2 a と同期待ちフラグ 8 3 a がセットされている場合であって、同期化成功信号 1 0 8 a がアサートされるとセットされる。ここで各種フラグのセットとは、各フラグの内容として、例えば、デジタル信号「1」が格納された状態、また、リセットとは、各フラグの内容として、デジタル信号「0」が格納された状態に対応すると考えれば良い。また、そのように、セット、リセット動作が行なわれる。

【0053】本実施例では、OR ゲートは、リセットスイッチとして機能する、即ち、OR ゲート出力（出力「1」の状態）によってリセット動作が行なわれ、AND ゲートは、セットスイッチとして機能する、即ち、AND ゲート出力（出力「1」の状態）によってリセット動作が行なわれるものとする。

【0054】同様に、同期フラグ 8 1 b は、同期化要求フラグ 8 2 b と同期待ちフラグ 8 3 b がセットされている場合であって、同期化成功信号 1 0 8 b がアサートされるとセットされる。

【0055】故障フラグ 8 4 a または 8 4 b がセットされると、同期フラグ 8 1 a と 8 1 b の双方ともがリセットされる。同期化要求フラグ 8 2 b と同期待ちフラグ 8 3 a と復旧フラグ 8 9 a とは、プロセッサ 4 0 a、5 0 a によるレジスタライト動作によって、セット／リセットされる。

【0056】同様に、同期化要求フラグ 8 2 a と同期待ちフラグ 8 3 b と復旧フラグ 8 9 b とは、プロセッサ 4 0 b、5 0 b によるレジスタライト動作でセット／リセットされる。

【0057】プロセッサ 4 0 a、5 0 a と 4 0 b、5 0 b は、図 2 に示す総てのフラグの状態をレジスタリード動作により調べる事が可能である。

【0058】同期化モード信号 8 6 a は、同期化要求フラグ 8 2 a と同期待ちフラグ 8 3 a とがセットされるとアサートされ、同期化要求フラグ 8 2 a、または、同期待ちフラグ 8 3 a がリセットされるとネゲートされる。同様に、同期化モード信号 8 6 b は、同期化要求フラグ 8 2 b と同期待ちフラグ 8 3 b とがセットされるとアサートされ、同期化要求フラグ 8 2 b、または、同期待ちフラグ 8 3 b がリセットされるとネゲートされる。

【0059】このような動作によって、故障の検出を行ない、同期化を行なうために多重化制御装置側に同期化モード信号を出力し、同期化が成功した場合には、多重化制御装置側から同期化成功信号を受信する処理を行なうことができる。

【0060】次に、図 3 に、本発明にかかる多重化バス制御装置 1 0 0 a および 1 0 0 b、さらに、その周辺構成要素の構成図を示す。

10

20

30

40

50

【0061】多重化バス制御装置100aは、アドレス／データバッファ101aと、演算処理装置30aおよびI／Oバス制御装置130a間のアクセスを調停する調停手段102aと、演算処理装置30aと演算処理装置30bの同期化を行う同期化手段103aとを有して構成される。

【0062】同期化手段103aと系間インターフェイス80aとは、前述した、信号線86a、信号線108aによって接続されており、それぞれの信号線に対応する信号が送受信されている。

【0063】また、図3に示す信号線91aと信号線92aと信号線93aは、それぞれシステムバス90aを構成する信号線であり、信号線91aは、アドレス／データ情報を伝送する信号線であるアドレス／データ線、信号線92aは、演算処理装置30aから多重化バス制御装置100aへのアクセス要求信号を伝送する信号線、信号線93aは、多重化バス制御装置100aから演算処理装置30aへのアクセス許可信号を伝送する信号線である。

【0064】また、信号線121aと信号線122aと信号線123aは、それぞれシステムバス90aを構成する信号線であり、信号線121aは、アドレス／データ情報を伝送する信号線であるアドレス／データ線と、信号線122aは、I／Oバス制御装置130aから多重化バス制御装置100aへのアクセス要求信号を伝送する信号線、信号線123aは、多重化バス制御装置100aからI／Oバス制御装置130aへのアクセス許可信号を伝送する信号線である。

【0065】信号線106aは、調停手段102aが演算処理装置30aにアクセス権を与えることを決定したことを示すアクセス可能信号を、B系に伝送する信号線である。多重化バス制御装置100aは、演算処理装置30aおよびI／Oバス制御装置130aから、アクセス要求を行なうためにアクセス要求信号が出力されると、調停手段102aによって、アクセス要求の調停を行う。

【0066】調停手段102aが、演算処理装置30aにアクセス権を与えることを決定した場合、調停手段102aは、アクセス可能信号(106a)をアサートする。

【0067】アクセス可能信号(106a)がアサートされると、同期化手段103aは、後に説明する制御動作によって、アクセス許可信号(信号線93a)をアサートする。そして、調停手段102aは、アクセス許可信号93aがアサートされると、アクセス可能信号106aをネゲートする。

【0068】一方、調停手段102aがI／Oバス制御装置130aにアクセス権を与えることを決定した場合、調停手段102aは、アクセス許可信号(123a)をアサートする。

【0069】なお、多重化バス制御装置100b、110aおよび11bも、上述したような、多重化バス制御装置100aと同様の動作を行なう。

【0070】また、演算処理装置30aと演算処理装置30bとが同期動作中であれば、多重化バス制御装置100aと多重化バス制御装置100bの動作も同期して行なわれる。多重化バス制御装置100aと多重化バス制御装置100bは、システムの立ち上げ時に、それぞれ、プライマリ・モードとセカンダリ・モードに設定される。プライマリ・モードでは、多重化バス120aによる信号の入出力が可能な状態である。また、セカンダリ・モードは、多重化バス120aからの、信号の入力のみが可能状態であり、多重化バス120aへの、信号の出力は不可能である。

【0071】すなわち、演算処理装置30aと演算処理装置30bの双方の装置から、同時にI／Oバス制御装置130aへアクセスを行なう場合、実際には、演算処理装置30aのみがアクセス動作を行ない、I／Oバス制御装置130aから、演算処理装置30aと演算処理装置30bへのアクセスは同時に行われる。

【0072】以上のように、多重化バス制御装置は、演算装置およびI／Oバス制御装置からのアクセス要求の調停、調停手段が自系の演算処理装置にアクセス権を与えることを、他系に伝える動作、演算処理装置へのアクセス許可信号を伝送する動作等を行なう。

【0073】次に図4に、同期化手段103aの構成を示す。同期化手段103aは、コントロール部1031aとタイマー部1032aとを有して構成される。

【0074】タイマー部1032aは、調停手段102aがアクセス可能信号106aをアサートしてから、予めユーザーが設定したタイムアウト時間内に、調停手段102bがアクセス可能信号106bをアサートしなかったことをコントロール部1031aに通知する機能を有する。

【0075】すなわち、タイマー部1032aは、アクセス可能信号106aがアサートされると内蔵する、時間を計測する機能を有する時間計測手段(図示せず)を起動し、起動時から予め定めたタイムアウト時間が経過するとタイムアウト信号(1033a)をアサートし、また、アクセス可能信号106bがアサートされると、前記時間計測手段がリセットされる。タイムアウト時間の設定は、タイマー部1032aが備えるレジスタへの書き込み操作によって行うことができるようにしておけばよい。

【0076】コントロール部1031aは、同期化モード信号(86a)、アクセス可能信号(106a)、アクセス可能信号(106b)、および、タイマー部1032aからのタイムアウト信号(1033a)を入力し、これらの入力信号に基いて、アクセス許可信号(93a)と同期化成功信号(108a)を出力する処理を

行なう。

【0077】コントロール部1031aは、各種の論理素子の組み合わせ回路で実現でき、コントロール部1031aにおける具体的な制御動作の様子は、以下に示すものがある。

【0078】(1)第1のケース：同期化モード信号86aがアサートされていない場合には、アクセス可能信号(106a)がアサートされると、コントロール部1031aは、アクセス許可信号93aのみをアサートする。

【0079】(2)第2のケース：同期化モード信号(86a)がアサートされ、かつ、アクセス可能信号(106a)とアクセス可能信号(106b)がアサートされた場合、コントロール部(1031a)は、アクセス許可信号(93a)と同期化成功信号(108a)をアサートする。

【0080】(3)第3のケース：同期化モード信号(86a)がアサートされ、かつ、アクセス可能信号(106a)とタイムアウト信号(1033a)がアサートされた場合、コントロール部(1031a)は、ア

20 クセス許可信号93aのみをアサートする。

【0081】以上のように、同期化手段は、各種の信号に基づいて同期化成功信号(108a)をアサートし、該信号を系間インターフェイスに伝える機能を有する。

【0082】次に、図5に、B系演算処理装置30bにエラーが発生した場合の、障害回復処理プログラムの実行による障害回復動作を説明するためのフローチャートを示す。

【0083】図中、左側には、A系演算処理装置における動作、右側には、B系演算処理装置における動作を示す。

【0084】まず、B系演算処理装置30bにおいてエラー(故障の発生)が検出されると(ステップ5010)、エラー検出信号(73b)がアサートされ、故障フラグ84bがセットされる(ステップ5020)。

【0085】さらに、ステップ5030において、同期フラグ81aと81bがリセットされる。

【0086】そして、B系演算処理装置30bは、処理を停止し(ステップ5040)、A系演算処理装置30aが、単独で処理を継続することになる。この時点で、2重系動作が行なわれなくなる。

【0087】システムの保守管理を行なうユーザーは、B系演算処理装置30bの故障部分、例えば、故障したプロセッサやメモリ等を、正常動作する同一の機能を有するデバイスと交換する作業を行ない(ステップ5050)、作業完了後に、端末装置170の操作等によって、B系演算処理装置30bを起動する(ステップ5060)。

【0088】なお、B系演算処理装置30bの起動は、端末装置170の操作により行なえるようにシステムを

構成してもよいし、B系演算処理装置30bに起動スイッチを設け、この起動スイッチの操作によって、起動操作に対応した処理を行なうプログラムを実行するようにしておいてもよい。

【0089】さて、B系演算処理装置30bは、起動操作が行なわれると、ROM88bに内蔵してある、初期化プログラムの実行により、プロセッサ40b、50bが備えるキャッシュメモリやメモリ装置60bの記憶内容等をクリアするとともに、故障フラグ84bをリセットし、復旧フラグ89aをセットする(ステップ5070)。

【0090】一方、A系演算処理装置30aのプロセッサ40a、50aは、例えば、通常行なっている処理の合間をみて、B系の故障フラグ84bの内容を適宜リードして監視する動作を行なっている(ステップ5080)。もちろん、所定時間間隔で故障フラグ84bの内容をリードして監視する動作を行なうようにしても良い。

【0091】そして、故障フラグ84bがリセットされた場合(5090)、メモリ装置60aの内容を、メモリ装置60bにコピーするメモリコピー処理を行う(ステップ5100)。

【0092】メモリコピー処理とは、プロセッサ40a、50aが、メモリ装置60aを一定領域単位に所定時間間隔でリードし、リードした内容を、コントロールユニット70a、システムバス90a、多重化バス制御装置100aと110a、多重化バス120aと120bを介し、さらに、多重化バス制御装置100bと110b、システムバス90b、コントロールユニット70bを介して、メモリ装置60bにライトする処理である。

【0093】このような処理によって、両系の同期化のための準備が行なわれる。

【0094】また、コントロールユニット70aは、メモリコピーを開始してから、A系演算処理装置30aとB系演算処理装置30bの同期化が成功するまで、プロセッサ40a、50aまたはI/O装置160aから、メモリ装置60aへのライトデータも上記の経路によって、メモリ装置60bにライトする機能を有する。

【0095】以上の処理により、メモリ装置60bの記憶内容と、メモリ装置60aの記憶内容とが一致する。

【0096】次に、プロセッサ40a、50aが、メモリ装置60aの全記憶領域のリード動作を完了すると、即ち、メモリ装置60aの全記憶内容をメモリ装置60bにライトすると、プロセッサ40a、50aは、同期化タスクを実行する(ステップ5110)。

【0097】同期化タスクは、A系演算処理装置30aとB系演算処理装置30bを再同期させるための処理である。プロセッサ40a、50aは、故障していないため、通常処理の合間をみて同期化タスクを実行すればよ

いが、1回目の同期化タスク実行で同期化を実現できるとは限られないため、2回以上、同期化タスクを実行する場合もある（ステップ5120等）。このような、リトライ処理を行なうようにプログラミングしておけばよい。

【0098】例えば、予め定めた所定時間内に同期化が実現しない場合、自動的にリトライ処理を行なうようにしてもよい。

【0099】この2回目以降の同期化タスクは、連続して実行する必要はなく、通常処理の合間に実行すればよい。上記の同期化タスクは、後述するように、他系の同期要求フラグをセットする処理を含んでおり、この処理によって、プロセッサ40a、50aは、同期化タスクの実行時に、同期要求フラグ82bをセットする。

【0100】また、B系のプロセッサ40b、50bは、同期要求フラグ82bの内容を定期的にリードしており（ステップ5130）、同期要求フラグ82bがセットされると（5140）、プロセッサ40b、50bも同期化タスクを実行する（ステップ5150）。

【0101】同期化タスクによってA系演算処理装置30aとB系演算処理装置30bが同期化すると、A系プロセッサ40a、50aおよびB系プロセッサ40b、50bは同期化タスクを終了し（ステップ5160）、通常処理を開始する。

【0102】このような一連の処理によって、一方の系に障害が発生しても、他系に障害回復動作のための過大な処理時間を要求しないで障害回復を行ない、再同期を行なうことができる。

【0103】図6は、同期化タスクの動作内容を表わすフローチャートである。

【0104】まず、A系の演算処理装置30aにおいて同期化タスクが実行されると、プロセッサ40a、50aによって、（他系）同期化要求フラグ82bおよび（自系）同期化待ちフラグ83aをセットする（ステップ6010）。

【0105】さらに、B系の演算処理装置30bが同期化タスクを実行することによって、同期化要求フラグ82aがセットされたならば、系間インターフェース80aは、同期化モード信号86aをアサートする。次に、特定のアドレスに対するアクセスである、P I Oアクセスを発行する（ステップ6020）。

【0106】ここで、特定のアドレスとは、同期化タスクのプログラムにおいて、予め指定した多重化バス制御装置の内部レジスタのアドレスやI/O装置におけるアドレス等である。

【0107】アクセス先を指定しておく理由は、A系の演算処理装置30aによるP I Oアクセスと、B系の演算処理装置30bによるP I Oアクセスとの、アクセス時間を等しくするためである。

【0108】なお、A系およびB系が、アクセスするア

ドレスは、完全に一致させるのが好ましいが、例えば、所定のエリアが有するアドレス（アドレスの値に幅がある）をアクセスするようにしてもよい。

【0109】また、演算処理装置以外のシステム構成部を、複数に分割し、各分割部分に前記特定アドレスを格納しておき、いずれかの特定アドレスを用いて本発明にかかる処理を行なうようにしてもよい。

【0110】P I Oアクセスにおいて、A系の演算処理装置30aは、アクセス要求信号92aをアサートする。そして、調停手段102aは、アクセス要求信号92aに対し、アクセス可能信号106aをアサートする。同期化手段103aは、前述したように、アクセス許可信号93aをアサートと、条件が満足すれば同期化成功信号108aもアサートする。

【0111】そして、同期化成功信号108aがアサートされると同期フラグ81aが、セットされる。プロセッサ40a、50aは、P I Oアクセスが完了した後に、同期フラグ81aの内容を調べる（ステップ6030）。

【0112】そして、同期フラグ81aがセットされていれば（Yes）、（他系）同期化要求フラグ82bと、（自系）同期待ちフラグ83aと、（自系）復旧フラグ89aをリセットして（ステップ6040）、同期化タスクの処理を終了する。

【0113】一方、同期フラグ81aがセットされていなければ（No）、復旧フラグ89aの内容を調べ（ステップ6050）、復旧フラグ89aがセットされていれば（Yes）、再び、P I Oアクセスを発行し（6020）、復旧フラグ89aがセットされていなければ（No）、（他系）同期化要求フラグ82bと、（自系）同期待ちフラグ83aと、（自系）復旧フラグ89aをリセットして（ステップ6040）同期化タスクの処理を終了する。

【0114】なお、上記動作例では、特定アドレスに対する（P I O）アクセス動作が許可されて、P I Oアクセスが実際に行なわれることによって、両演算装置の再同期を行なうもの、すなわち、実際のP I Oアクセスを基準信号として、同期化を行なっているが、特定のアドレスに対するアクセス許可信号93a、93bが生成される際、これらの許可信号を、両演算装置の再同期を行なうための基準信号として、両演算装置の動作のタイミング調整を行なっても良い。

【0115】以上に説明してきた動作により、同期化タスクの処理が実行される。

【0116】図7は、同期化タスクによって、A系の演算処理装置30aとB系の演算処理装置30bが行なう同期化までの動作の変化状態を示した図である。

【0117】図中、左側は、A系のプロセッサ40a、50a、多重化バス制御装置100a、系間インターフェイス80aの動作状態の変化を示し、右側は、B系の

系間インターフェイス 80b、多重化バス制御装置 100b、プロセッサ 40b、50b の動作状態の変化を示す。

【0118】A系のプロセッサ 40a、50a が、同期化タスクを起動すると (7010)、同期化要求フラグ 82b および同期待ちフラグ 83a をセットする (7020)。

【0119】B系のプロセッサ 40b、50b は、定期的に同期化要求フラグ 82b の内容をリードしており (7030)、同期化要求フラグ 82b がセットされて

いると同期化タスクを起動する (7040)。

【0120】A系のプロセッサ 40a、50a は、多重化バス制御装置 100a に P I O アクセスを要求するが (7050)、B系のプロセッサ 40b、50b による同期化要求フラグ 82a および同期待ちフラグ 83b のセット (7060) が遅れると、系間インターフェース 80a は同期化モード信号 86a をアサートしないので、多重化バス制御装置 100a は、アクセス許可信号 93a だけをアサートする (7070)。

【0121】また、A系のプロセッサ 40a、50a は、アクセス許可信号 93a がアサートされると P I O

アクセスを実行する (7080)。

【0122】B系の系間インターフェース 80b の同期化要求フラグ 82b と同期待ちフラグ 83b はセットされているので、B系の系間インターフェース 80b は、同期化モード信号 86b をアサートする (7090)。

【0123】B系のプロセッサ 40b、50b は、多重化バス制御装置 100b に P I O アクセスを要求するが (7100)、同期化モード信号 86b がアサートされているので、多重化バス制御装置 100b は、多重化バス制御装置 100a がアクセス可能信号 106a をアサートするか、系間インターフェース 80b が同期化モード信号 86b をネグートするか、同期化手段 103b のタイマー部 1032b がタイムアウトを通知するまで、アクセス許可信号 93b および同期化成功信号 108b のいずれもアサートしない (7110)。

【0124】A系のプロセッサ 40a、50a は、P I O アクセス終了後、同期フラグ 81a の内容をリードし、同期フラグ 81a がセットされていないと、同期化要求フラグ 82b および同期待ちフラグ 83a をリセットして (7120)、同期化タスクを終了し (7130)、通常処理のタスクを起動する (7140)。

【0125】また、系間インターフェース 80b は、同期化要求フラグ 82b がリセットされると同期化モード信号 86b をネグートする (7150)。多重化バス制御装置 100b は、同期化モード信号 86b がネグートされると、アクセス許可信号 93b だけをアサートする (7160)。

【0126】B系のプロセッサ 40b、50b は、アクセス許可信号 93b がアサートされると、P I O アクセ

スを実行する (7170)。プロセッサ 40b、50b は、P I O アクセス終了後に同期フラグ 81b の内容をリードし、同期フラグ 81b がセットされていなければ、再度 P I O アクセス要求を試みる (7180)。

【0127】A系のプロセッサ 40a、50a は、切りの良い時に (例えば、1つのサブルーチンに対する処理の終了後等) 通常処理のタスクを終了させ (7190)、再度同期化タスクを起動する (7200)。

【0128】以下、再度の同期化タスクの起動処理に対する、各構成要素の動作について説明する。

【0129】A系のプロセッサ 40a、50a が、同期化要求フラグ 82b および同期待ちフラグ 83a をセットすると (7210)、同期化要求フラグ 82a および同期待ちフラグ 83b は、既にセットされているので、系間インターフェース 80a と 80b は、同期化モード信号 (86a) と同期化モード信号 (86b) をアサートする (7220)。

【0130】そして、A系のプロセッサ 40a、50a が、多重化バス制御装置 100a に対し、P I O アクセスを要求すると (7230)、多重化バス制御装置 100a は、アクセスの調停結果として、アクセス可能信号 (106a) をアサートする (7240)。

【0131】この時、多重化バス制御装置 100a の同期化手段 103a は、多重化バス制御装置 100b がアクセス可能信号 (106b) をアサートするか、タイマー部 1032a がタイムアウトを通知するまで、アクセス許可信号 (93a) および同期化成功信号 (108a) のいずれもアサートしない。

【0132】さて、B系のプロセッサ 40b、50b が、多重化バス制御装置 100b に対し、P I O アクセスを要求すると (7250)、多重化バス制御装置 100b は、アクセスの調停結果として、アクセス可能信号 (106b) をアサートする (7260)。

【0133】この時、多重化バス制御装置 100a の同期化手段 103a と多重化バス制御装置 100b の同期化手段 103b とは、アクセス許可信号 (93a) とアクセス許可信号 (93b)、および、同期化成功信号 (108a) と同期化成功信号 (108b) のすべてを同時にアサートする (7270)。

【0134】そして、アクセス許可信号 (93a) とアクセス許可信号 (93b) が同時にアサートされると、A系のプロセッサ 40a、50a と B系のプロセッサ 40b、50b は、同時に P I O アクセスを実行する (7280)。

【0135】さらに、同期化成功信号 (108a) と同期化成功信号 (108b) とがアサートされると、系間インターフェース 80a と系間インターフェース 80b は、同期フラグ 81a と同期フラグ 81b とをセットする (7290)。

【0136】次に、A系のプロセッサ 40a、50a

と、B系のプロセッサ40b、50bとは、PIOアクセス終了後に、それぞれ自系の同期フラグ81a、同期フラグ81bの内容をリードし、同期フラグ81a、81bがセットされていると、同期化要求フラグ82a、同期化要求フラグ82b、同期待ちフラグ83a、同期待ちフラグ83a、および、復旧フラグ89a、復旧フラグ89bをリセットして(7300)、同期化タスクの処理を終了し(7310)、通常処理のタスクを起動する(7320)。以後、A系の演算処理装置30aとB系の演算処理装置30bは同期動作を行うことになる。

【0137】なお、以上の説明においては、主として2重系の動作を行なうシステムについて説明してきたが、3重系以上の多重化コンピュータシステムについても本発明を適用できることは、いうまでもない。

【0138】以上説明してきたように、PIOアクセスを行なう際に、演算処理装置は、アクセス要求に対する信号であるアクセス許可信号を受け取るまでアクセス許可待ち状態であることを利用し、さらに、演算処理装置30a、30bに、PIOアクセスのアクセス許可信号93a、93bを同時にアサートすることにより、演算処理装置30a、30bにPIOアクセスを同時に実行させて、演算処理装置30a、30bの同期化を実現することを可能にする。

【0139】このため、従来のように同期化のためのリセット動作等を不要とし、極めて短時間内の通常動作の停止で、両装置の同期化を実現できることになる。さらに、本発明によれば、従来のように、複数の演算処理装置を同期化するための特別なリセット手段を設ける必要がなく、通常のシステム構成に、複数種類のフラグと単純な組み合わせ回路を有した手段を備えることにより簡単に構成でき、同期化を行なうための手段を設ける際のコスト増加も低減できる。

【0140】

【発明の効果】本発明によれば、複数の演算処理装置で構成された耐障害性機能を有するコンピュータシステム

において、所定のアドレスをアクセスした応答信号を複数の演算処理装置に同時に送信することにより、障害から復旧した演算処理装置の再同期化を行なう構成にすることによって、同期化を行なうためのシステムリセットを不要とし、極めて短時間内の動作停止によって再同期化を行なえ、迅速な再同期処理を行なうことを可能にする。

【0141】また、同期化を行なうための手段を設ける際のコスト増加も低減できる。

10 【図面の簡単な説明】

【図1】本発明にかかる実施例の構成図である。

【図2】本発明にかかる実施例の構成図である。

【図3】本発明にかかる実施例の構成図である。

【図4】本発明にかかる実施例の構成図である。

【図5】障害回復処理を示すフローチャート図である。

【図6】同期化タスクを示すフローチャート図である。

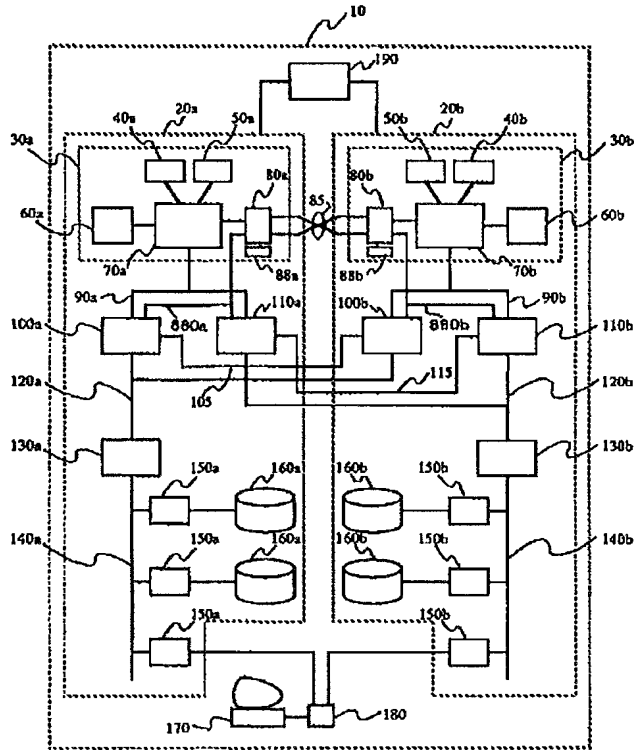
【図7】同期化処理を示すフローチャート図である。

【符号の説明】

40a…プロセッサ、40b…プロセッサ、50a…プロセッサ、50b…プロセッサ、60a…メモリ装置、60b…メモリ装置、70a…コントロールユニット、70b…コントロールユニット、80a…系間インターフェース、80b…系間インターフェース、88a…障害回復プログラム格納用ROM、88b…障害回復プログラム格納用ROM、90a…システムバス、90b…システムバス、100a…多重化バス制御装置、110a…多重化バス制御装置、110b…多重化バス制御装置、120a…多重化バス、120b…多重化バス、130a…I/Oバスアダプタ、130b…I/Oバスアダプタ、140a…I/Oバス、140b…I/Oバス、150a…I/Oインターフェース、150b…I/Oインターフェース、152a…I/Oインターフェース、152b…I/Oインターフェース、160a…I/O装置、160b…I/O装置、170…端末装置

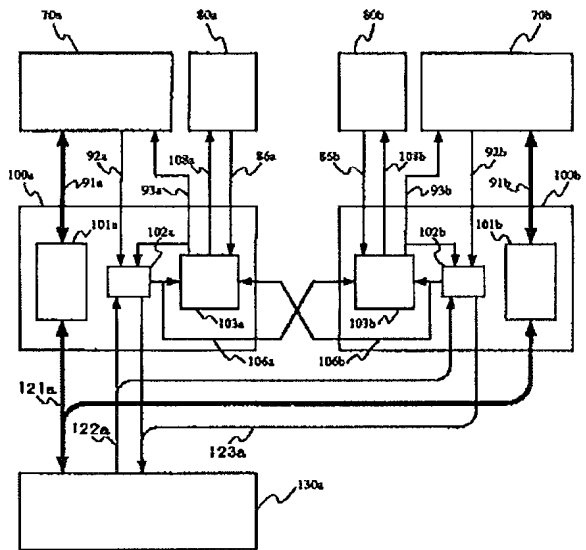
【図 1】

図 1



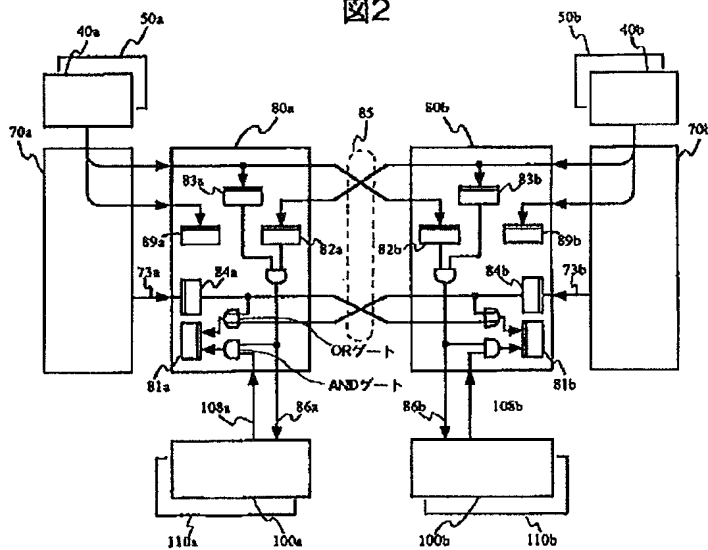
【図 3】

図 3



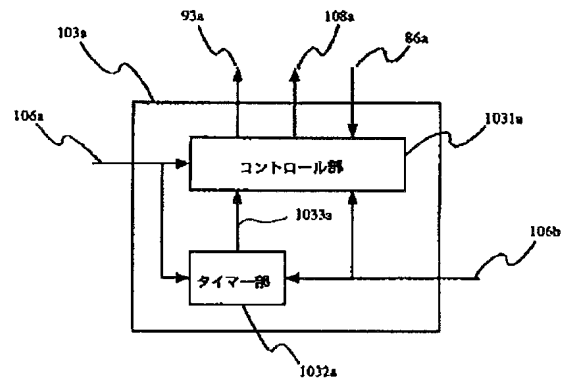
【図 2】

図 2



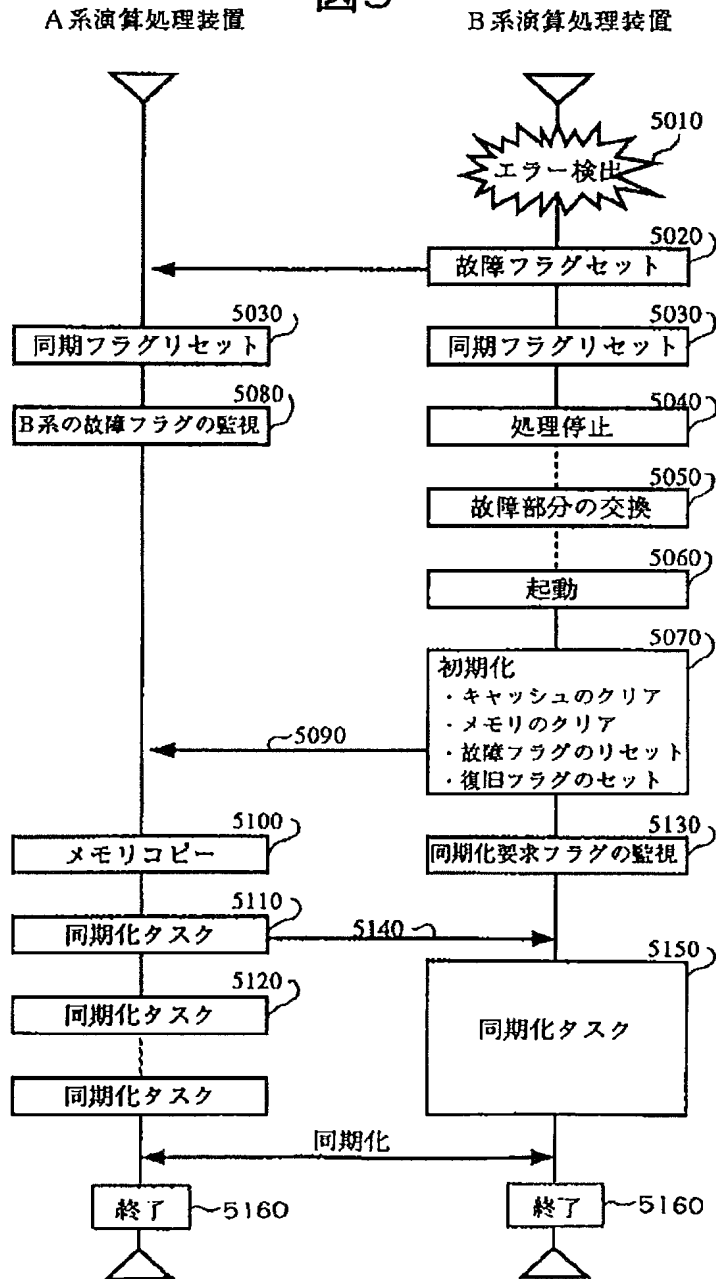
【図 4】

図 4



【図 5】

図5



【図6】

図6

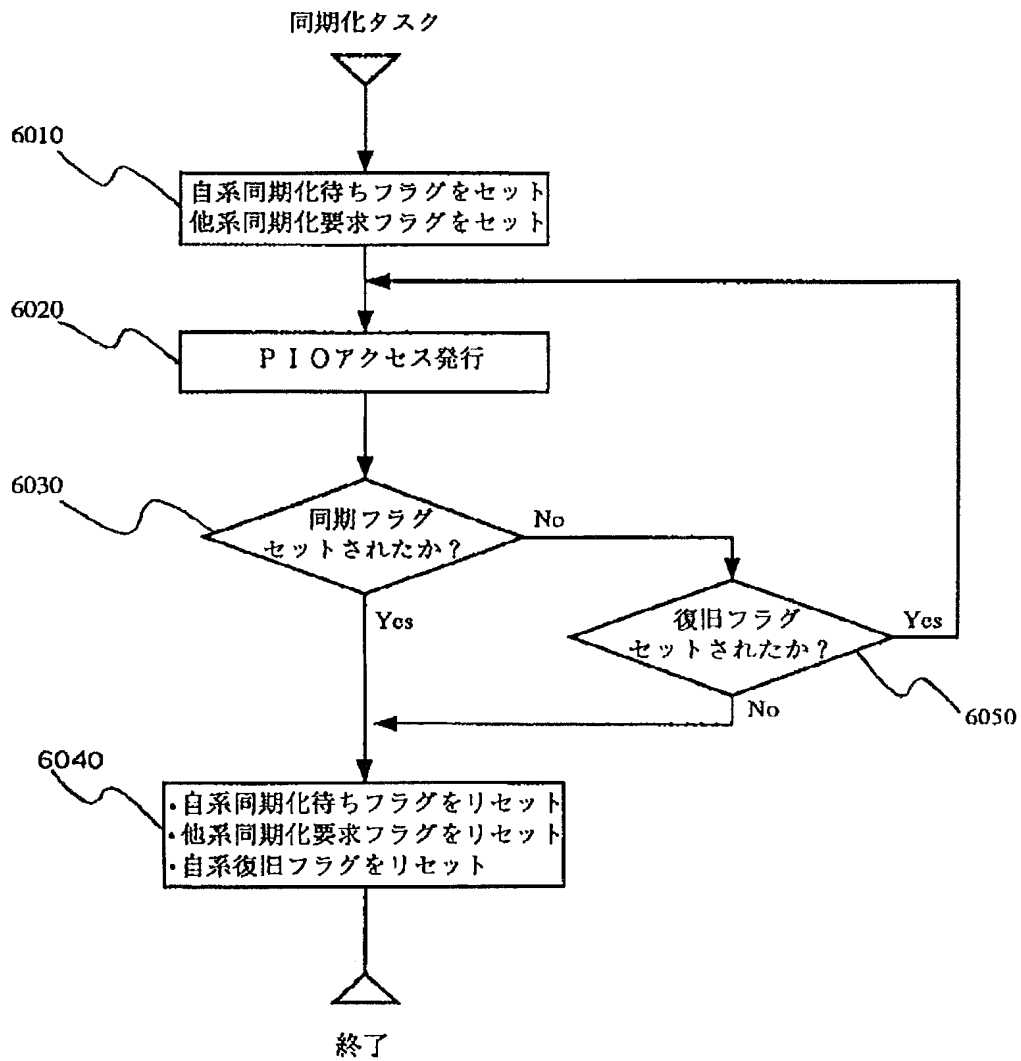
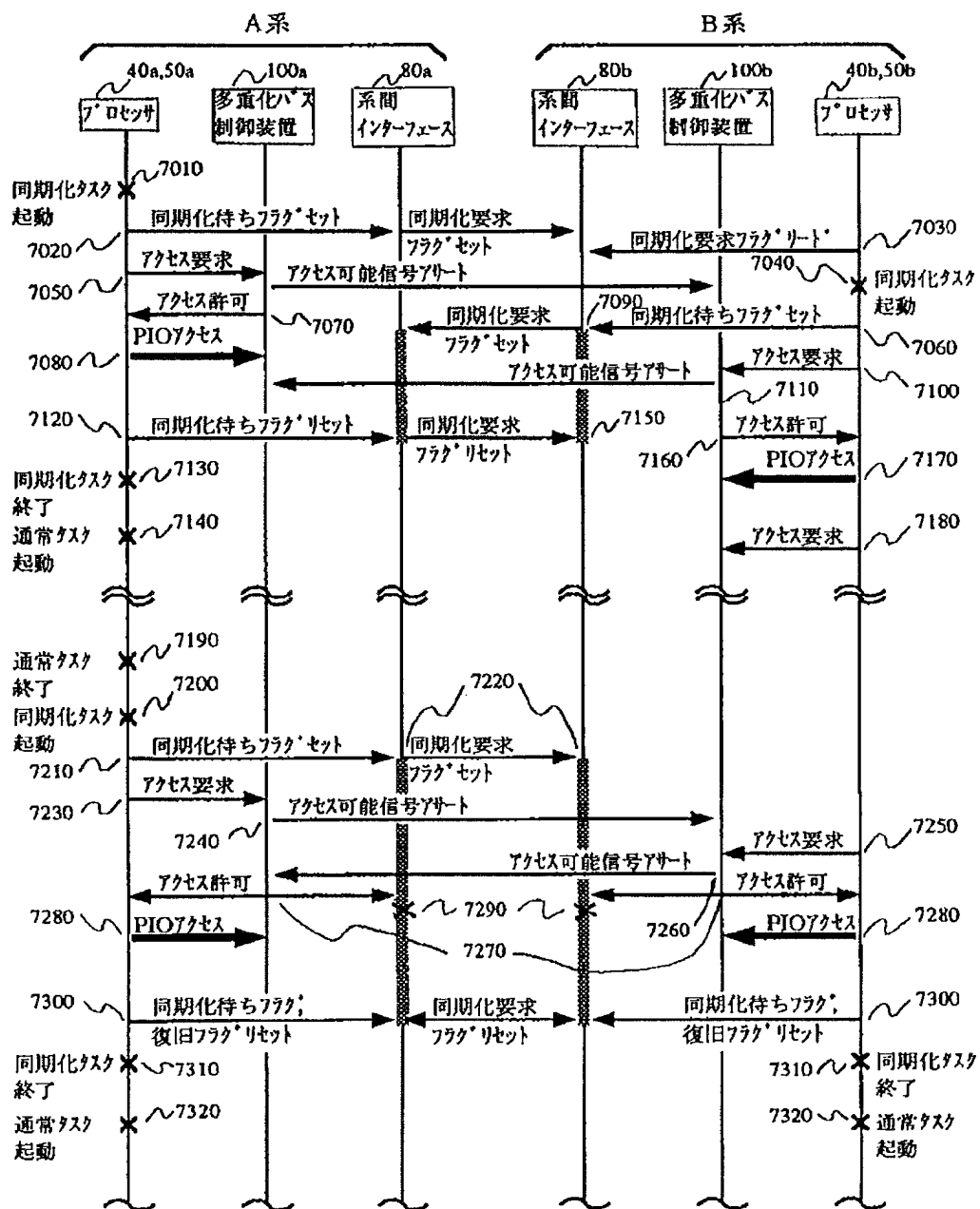


图 7



フロントページの続き

(72)発明者 宮崎 直人
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

(72)発明者 高谷 壮一
茨城県日立市大みか町五丁目 2 番 1 号 株
式会社日立製作所大みか工場内